

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05257164  
PUBLICATION DATE : 08-10-93

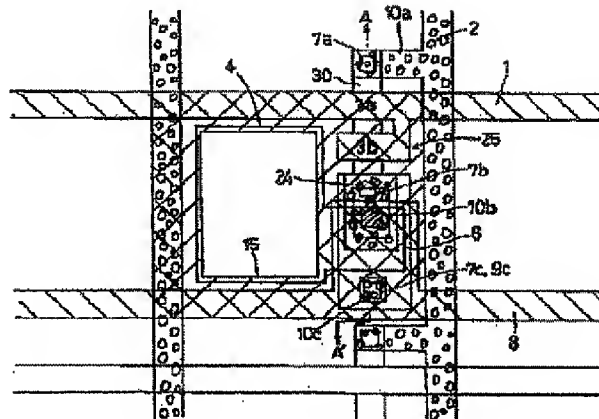
APPLICATION DATE : 10-03-92  
APPLICATION NUMBER : 04051817

APPLICANT : SHARP CORP;

INVENTOR : YAMASHITA TOSHIHIRO;

INT.CL. : G02F 1/136 G02F 1/1335

TITLE : ACTIVE MATRIX SUBSTRATE



**ABSTRACT :** **PURPOSE:** To suppress the generation of a signal delay by adopting the circuitry in which a light shielding film and additive capacity common wiring are connected in parallel.

**CONSTITUTION:** Metallic layers 10a to 10c are respectively so formed as to embed contact holes 7a to 7c and are connected to a source electrode, a drain electrode 24 and the additive capacity common wiring 8. The light shielding film 15 is so patterned and formed as to embed the contact hole 9c in addition to the upper part of a thin-film transistor (TFT) 25. The light shielding film 15 constituted in such a manner and the additive capacity common wiring 8 are formed in parallel. The light shielding film 15 and the additive capacity common wiring 8 are electrically connected via the contact holes 7c, 9c respectively provided in first and second interlayer insulating films. Then, the circuitry in which the light shielding film 15 and the additive capacity common wiring 8 are connected in parallel is obtd. and the resistance is lowered, by which the generation of the signal delay is suppressed.

**COPYRIGHT:** (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-257164

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/136  
1/1335

識別記号

5 0 0

庁内整理番号

9018-2K  
7811-2K

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平4-51817

(22)出願日 平成4年(1992)3月10日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

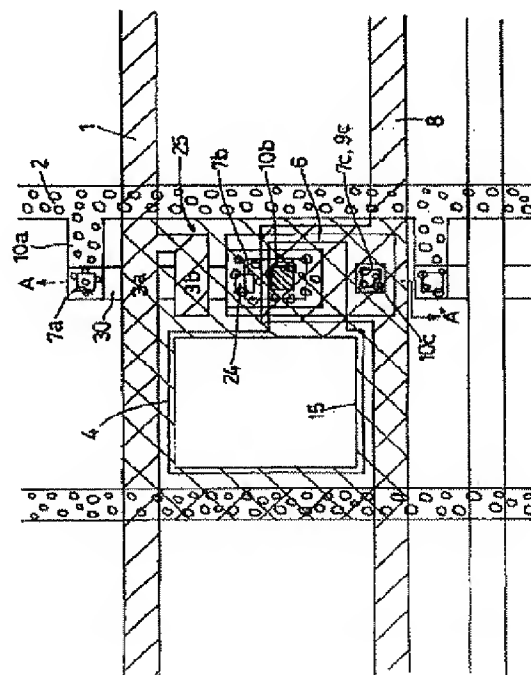
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス基板において、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくする。

【構成】 遮光膜15と付加容量共通配線8とが平行に形成されており、遮光膜15と付加容量共通配線8とが層間絶縁膜に設けたコンタクトホール7c、9cを介して電氣的に接続されているので、遮光膜15と付加容量共通配線8とが並列接続された回路構成となり、抵抗が小さくなる。



## 【特許請求の範囲】

【請求項1】基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれに層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されている請求項1記載のアクティブマトリクス基板。

【請求項2】前記遮光膜がW、Ti、Mo、Ti-W合金からなる請求項1記載のアクティブマトリクス基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス液晶表示装置等に用いられるアクティブマトリクス基板の製造方法に関するものである。

## 【0002】

【従来の技術】近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも、液晶を用いたアクティブマトリクス型の表示装置は平面ディスプレイとして研究され、その成果も着実に上がっている。このようなアクティブマトリクス型液晶表示装置は、絵素電極、薄膜トランジスタ(TFT)等が形成されたアクティブマトリクス基板と、対向電極が形成された対向基板と、これらを対向させた間に封入された液晶層とによって構成されている。

【0003】特に、小型かつ高精細に設計されたアクティブマトリクス型液晶表示装置(LCD)では、その設計上、絵素の面積が小さくなるので、絵素電極及び対向電極との間で形成されるコンデンサ容量が小さくなる。従って、映像信号を必要な時間保持することが出来なくなるという問題が生じる。加えて、絵素電極の電位に対するバス配線の電位の変動が大きくなるという問題も生じる。そこで、絵素電極と対向電極との容量不足を補うために付加容量が設けられる。

【0004】図4は、付加容量を備えた従来のアクティブマトリクス基板の絵素1個分の平面図を示し、図5はそのアクティブマトリクス基板のTFT25を通る断面図(図4におけるB-B'に沿った断面図)である。このアクティブマトリクス基板は、絶縁性基板11上に、チャンネル層12a、12b、ソース電極23及びドレイン電極24を有する多結晶シリコンからなる半導体層30が形成されている。半導体層30のチャンネル層12a、12b以外の部分は、イオン注入法によるドーピングを行うことにより電気抵抗が低減されている。

【0005】半導体層30を覆って基板11の上には、ゲート絶縁膜13が形成され、このゲート絶縁膜13上には、 $n^+$ または $p^+$ のどちらか一方の多結晶Siからなるゲート電極3a、3bおよび付加容量電極6が形成さ

れている。上述のドーピングは、このゲート電極3a、3bをマスクとして行われる。ゲート電極3aは、図1に示すようにゲートバス配線1自身の一部からなり、ゲート電極3bはゲートバス配線1から分岐した部分で構成される。付加容量電極6は、図1に示すように帯状をした付加容量共通配線8の一部であり、付加容量共通配線8と絵素電極4との対向部分で付加容量が形成される。

【0006】更に、ゲート電極3a及び3bを覆って基板11上の全面には、第1層間絶縁膜14が形成されている。第1層間絶縁膜14には、スルーホール7a及び7bが設けられている。スルーホール7aの上には、ソースバス配線2から分岐した金属層10aが形成されている。更に、分岐した金属層10aとは、別に同時に形成された金属層10bが存在する。ソースバス配線2は、スルーホール7aを介してTFT25のソース電極23に接続されている。ここで、TFT25は、ゲート電極3a及び3bを有するデュアルゲートと呼ばれる構造が用いられている。一方のコンタクトホール7bは、TFT25のドレイン電極24と金属層10bとの間における電気的接続を確実にを行うためにA1などの金属を使用して埋められる。

【0007】その上には、第2層間絶縁膜17、遮光膜15、第3の層間絶縁膜18及び絵素電極4がこの順に形成されている。遮光膜15と前記金属層10bとは、第2層間絶縁膜17に設けたコンタクトホール9bを介して接続される。遮光膜15は、Ti-W合金などで形成する。この遮光膜15は、コンタクトホール7bを埋めるA1等の金属と、ITO等からなる絵素電極4との間におけるオーミックコンタクトを実現させる役割も担っている。遮光膜15と絵素電極4とは、第3の層間絶縁膜18に形成したコンタクトホール16bを介して接続される。

## 【0008】

【発明が解決しようとする課題】ところで、この従来基板においては、ゲートバス配線1の1つがオン状態となった後、最初にオン状態となるソースバス配線2では、このゲートバス配線1がオフ状態となるまでの時間が十分に長いので、ソースバス配線2を送られる映像信号が、絵素電極4及び付加容量電極6に余裕をもって書き込まれる。しかし、最後にオン状態となるソースバス配線2では、ゲートバス配線1がオフ状態となるまでの時間が短いため、映像信号の書き込み時間が制約されるという問題がある。

【0009】更に、付加容量共通配線8が $n^+$ の多結晶Siで形成されているので抵抗が十分に小さいとは言えない。そのため、付加容量共通配線8を送られる信号は遅延し、上述の制約された書き込み時間内に映像信号を書き込むことができなくなり、絵素電極4に書き込まれた電位に変動が引き起こされるという問題もある。この

問題を、図6に基づいて説明する。

【0010】図6は、1つの絵素部分の等価回路図を示す。TFT31のドレイン電極32に接続された絵素電極33と、この絵素電極33に対向し、かつ対向電極配線が接続された対向電極34との間では、液晶層を挟んで容量CLCが形成される。また、TFT31のドレイン電極32は、付加容量CSを介して付加容量共通配線に接続されている。更に、TFT31のゲート電極35及びドレイン電極32との間では容量Cgdが形成されている。

【0011】このとき、TFTのゲートバス配線にゲートオンの信号が送られると、TFTはオン状態となり、

$$V_d^- = V_d - \{C_{gd} / (C_{gd} + CLC + CS) \cdot \Delta V_g\} - a \quad \dots (1)$$

ここで、 $\Delta V_g$ は、TFTのオン状態の時のゲート電位とオフ状態の時のゲート電位との差である。aは、書き込み時間内に付加容量を十分充電できないために生じる

$$a = V_d \cdot \exp(-T_{on} / \tau_{CS}) \cdot \{CS / (C_{gd} + CLC + CS)\} \quad \dots (2)$$

上記1式における第2項は、TFTをオフ状態とするためにゲートバス配線の電圧が変動することによる絵素電極の電位の変動を表す。書き込まれた映像信号によって忠実な表示を行わせるためには、1式の第2項及び2式のaの値を小さくしなければならない。1式の第2項の値を小さくするためには、

$$C_{gd} \ll CLC + CS \quad \dots (3)$$

が成り立つことが必要である。高精細のアクティブマトリクス基板では絵素電極が、小さくCLCが小さいので、3式の条件を満たすにはある程度の大きさの付加容量CSが必要となる。

【0015】このように付加容量CSは或る程度の大きさが必要なので、aの値を小さくするためには、

$$T_{on} \ll \tau_{CS} \quad \dots (4)$$

が成り立つことが必要である。特に、駆動回路をTFTアレイと同一の基板上に形成した小型かつ高精細のアクティブマトリクス基板では、上記4式の条件を満たすには困難が伴う。その理由を次に示す。

【0016】ゲートバス配線の本数が多くなり、ゲートバス配線1本当たりに割り当てられる時間が短くなる。

【0017】ドライバICを実装する方式では、全てのソースバス配線に同時に映像信号が出力されるので問題ないが、パネルサンプルホールド方式を採用する場合には、それぞれのソースバス配線に順次映像信号が出力されるので、最後に書き込みが行われるソースバス配線における書き込み時間が短くなる。

【0018】表示装置の高精細化に伴う開口率の低下を防ぐため、配線の線幅を狭くする必要がある。そのため付加容量共通配線の抵抗が大きくなり、 $\tau_{CS}$ を小さくすることができない。

【0019】絵素数が増加しても1絵素あたりの付加容量共通電極の大きさを小さくすることができない。従

ソースバス配線には映像信号Vdが書き込まれる。ここで、付加容量共通配線の信号伝達の時定数を $\tau_{CS}$ 、絵素電極への信号書き込み時間 $T_{on}$ とすると、 $\tau_{CS} \ll T_{on}$ の条件が満たされない場合には、付加容量CSへの充電が不十分となり、絵素電極の電位が変動するという問題が生じる。

【0012】ところで、TFTがオフ状態となり、 $\tau_{CS}$ に比べて十分に長い時間が経過した後における実際の表示状態に対応する絵素電極の電位 $V_d^-$ は、下記の1式で表される。

【0013】

電位の変動を表し、下記の2式で示される。

【0014】

って、1本の付加容量共通配線に接続される付加容量の総和が大きくなり、 $\tau_{CS}$ を小さくすることができない。

【0020】このような問題点の解決策として、付加容量共通配線の両端に対向電極と同電位の電圧を印加することが考えられるが、それだけでは付加容量共通配線の抵抗が十分に小さくならないために十分な解決策とは言えない。

【0021】本発明はこのような問題点を解決するものであり、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくできるアクティブマトリクス基板を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されており、そのことにより上記目的を達成できる。

【0023】前記遮光膜は、W、Ti、Mo又はTi-W合金で形成してもよい。

【0024】

【作用】本発明にあっては、遮光膜と付加容量共通配線とが平行に形成されており、遮光膜と付加容量共通配線とが層間絶縁膜に設けたコンタクトホールを介して電気的に接続されているので、遮光膜と付加容量共通配線とが並列接続された回路構成となり、抵抗が小さくなる。

【0025】

【実施例】図3にアクティブマトリクス表示装置の平面模式図を示す。

【0026】この表示装置は、ガラス等の絶縁膜基板11上にゲート駆動回路54、ソース駆動回路55及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行する走査線としてのゲートバス配線1が配されている。ソース駆動回路55からは信号線としての多数のソースバス配線2がゲートバス配線1に直交して配設されている。更に、ソースバス配線2と平行に、付加容量共通配線8が配設されている。

【0027】2本のゲートバス配線1の間であって、ソースバス配線2及び付加容量共通配線8で挟まれた矩形の領域には、TFT25、絵素57及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。絵素57は、TFT25のドレイン電極に接続された絵素電極と対向基板上的対向電極との間に、液晶が封入されて構成されている。また、付加容量共通配線8は、対向電極と同じ電位の電極に接続されている。

【0028】図1は本実施例のアクティブマトリクス基板における絵素1個分の平面図を示す。図2は図1におけるA-A'に沿った断面図である。このアクティブマトリクス基板の構成を、製造工程に従って説明する。

【0029】まず、絶縁性基板11上に、例えばCVD法によって多結晶Siからなる半導体層30をパターン形成した後、基板11上の全面にゲート絶縁膜13となる絶縁膜を形成した。この絶縁膜は、例えばCVD法、スパッタリング法、又は上記多結晶Si薄膜30の上面を熱酸化する方式により形成される。ゲート絶縁膜13の厚さは、例えば約100nmである。また、半導体層30の層厚は、例えば40～80nmである。

【0030】次に、低抵抗の多結晶Siを付着した後にパターニングを行って、ゲートバス配線1、ゲート電極3a、3b及び付加容量共通配線8を形成した。付加容量共通配線8は、図1のように突出形成した部分である付加容量電極6を含んだものである。次いで、上記ゲート電極3a及び3bをマスクとし、かつフォトリソグラフィ法によって形成されたマスクを用いて半導体層30のゲート電極の下方以外の部分にイオン注入を行う。これにより、半導体層30にチャネル層12a、12bが形成される。

【0031】その後、この基板上的全面に第1層間絶縁膜14を、例えば700nmの厚さに形成した。次に、第1層間絶縁膜14の所定箇所にコンタクトホール7a、7b及びコンタクトホール7cを形成した。各コンタクトホール7a、7b、7cは、それぞれソース電極23、ドレイン電極24、付加容量共通配線8の上に配設されている。

【0032】次に、ソースバス配線2及び、金属層10a、10b、10c等をA1等の低抵抗の金属を用いて

同時に形成した。このとき、金属層10a、10b、10cは、それぞれコンタクトホール7a、7b、7cを埋めるように形成され、ソース電極23、ドレイン電極24、付加容量共通配線8と接続される。第1層間絶縁膜14の上に飛び出している金属層10a、10b、10cの層厚は、例えば600nmである。なお、金属層10aはソースバス配線2から分岐させた部分であり、ソースバス配線2は金属層10a及びコンタクトホール7aを介してソース電極23に接続される。

【0033】次に、この基板上的全面に第2層間絶縁膜17を、例えばCVD法によって600nmの厚さに形成した。次に、第2層間絶縁膜17にコンタクトホール9b、9cを形成した。コンタクトホール9bはドレイン電極を接続するためのものであり、コンタクトホール9cは遮光膜15と付加容量共通配線8を電気的に接続するためのものである。

【0034】次に、遮光膜15を、TFT25の上部の他、コンタクトホール9b、9cを埋めるようにパターン形成した。遮光膜15の材料は、例えばTi-W合金などの金属を使用し、厚みは例えば120～150nmとした。コンタクトホール9bの周りには、遮光膜15が存在しないが、この部分には金属層10bが形成されているので、遮光膜15が無い部分から光が漏れるということはない。なお、遮光膜15は、上述のTi-W合金の他に、W、Ti、Moなどの金属を使用できる。また、コンタクトホール9b上の遮光膜15は、ドレイン電極24と、後述する絵素電極4とのオーミックコンタクトを取るためのものである。

【0035】その後、第3の層間絶縁膜18を200nm形成し、コンタクトホール16bをあけて絵素電極4を形成した。

【0036】したがって、このように構成された本実施例のアクティブマトリクス基板においては、遮光膜15と付加容量共通配線8とが平行に形成されており、遮光膜15と付加容量共通配線8とが第1、第2層間絶縁膜14、17にそれぞれ設けたコンタクトホール7c、9cを介して電気的に接続されているので、遮光膜15と付加容量共通配線8とが並列接続された回路構成となって抵抗が小さくなり、信号遅延の発生を抑制できる。

【0037】また、付加容量共通配線8と遮光膜15とが2層構造となっているので、開口率を上げるために付加容量共通配線8の線幅を細くしたときに生じる断線を防ぐことができる。

【0038】

【発明の効果】以上詳述したように、本発明のアクティブマトリクス基板は、遮光膜と付加容量共通配線とが並列接続された回路構成となって抵抗が小さくなり、信号遅延の発生を抑制できる。また、付加容量共通配線と遮光膜とが2層構造となっているので、断線を防止した状態で付加容量共通配線の線幅を小さくし得、これによ

り開口率の大きい、明るい画面を有する高精細な表示装置を提供することができる。

【図面の簡単な説明】

【図1】本実施例のアクティブマトリクス基板における絵素1個分を示す平面図。

【図2】図1のA-A'に沿った断面図。

【図3】図1のアクティブマトリクス基板を備えたアクティブマトリクス表示装置の平面模式図。

【図4】従来のアクティブマトリクス基板における絵素1個分の平面図。

【図5】図4のB-B'に沿った断面図。

【図6】絵素部分の等価回路図。

【符号の説明】

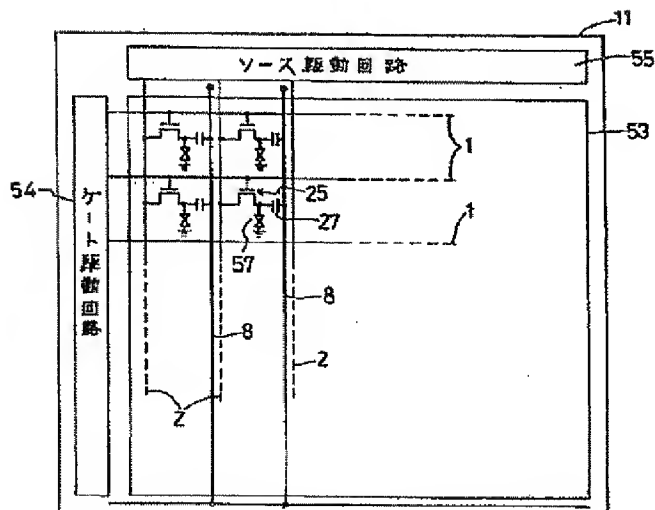
- 1 ゲートバス配線
- 2 ソースバス配線
- 3 a、3 b ゲート電極
- 4 絵素電極

- 6 付加容量電極
- 7 a、7 b、7 c コンタクトホール
- 8 付加容量共通電極
- 9 b、9 c コンタクトホール
- 10 a、10 b、10 c 金属層
- 11 絶縁性基板
- 12 a、12 b チャネル層
- 13 ゲート絶縁膜
- 14 第1層間絶縁膜
- 15 遮光膜
- 16 b コンタクトホール
- 17 第2層間絶縁膜
- 18 第3層間絶縁膜
- 23 ソース電極
- 24 ドレイン電極
- 25 TFT
- 30 半導体層

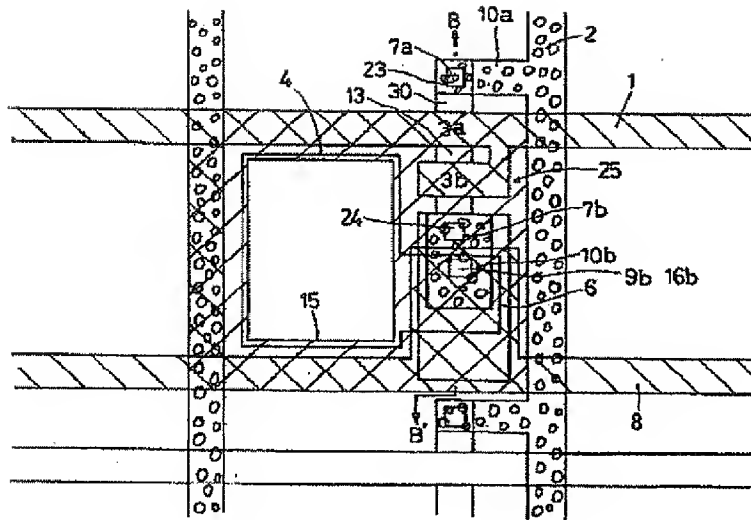
【図1】

【図2】

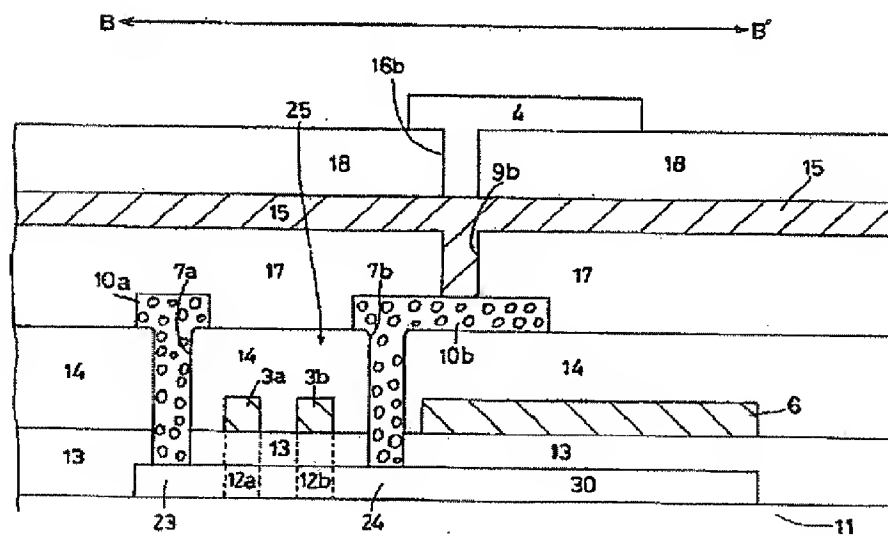
【図3】



【图4】

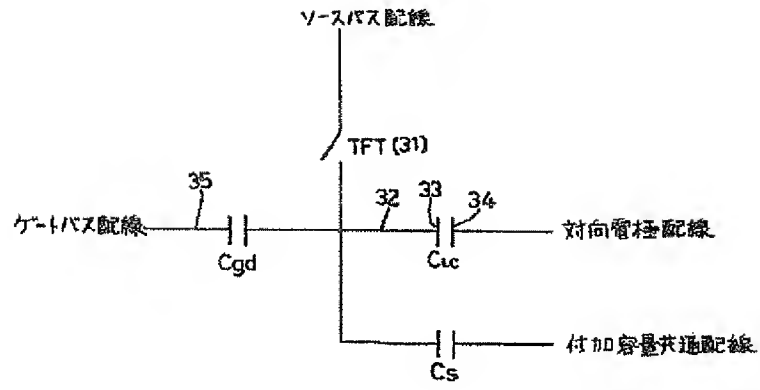


【図5】





【図6】



ACTIVE MATRIX SUBSTRATE

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]Have the spacial configuration to which laminating formation of a picture element electrode, a light-shielding film, and the additional-capacities common wiring was carried out via an interlayer insulation film between each on a substrate, and. Along with that to which a picture element electrode was located in a line with one way of this picture element electrode at matrix form, this light-shielding film has the planar structure in which this additional-capacities common wiring was formed, respectively in parallel with this light-shielding film beltlike, and this light-shielding film This additional-capacities common wiring, The active matrix substrate according to claim 1 electrically connected via a contact hole established in this interlayer insulation film.

[Claim 2]The active matrix substrate according to claim 1 which said light-shielding film becomes from W, Ti, Mo, and a Ti-W alloy.

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the manufacturing method of an active matrix substrate used for an active-matrix-liquid-crystal display device etc., for example.

[0002]

[Description of the Prior Art]In recent years, the active matrix display device using the liquid crystal etc. as an expression medium is studied actively. Especially, the active-matrix type display device using a liquid crystal is studied as a planar display, and the efforts are also bearing fruit it steadily. Such an active matrix type liquid crystal display device is constituted by the active matrix substrate in which a picture element electrode, a thin film transistor (TFT), etc. were formed, the counter substrate in which the counterelectrode was formed, and the liquid crystal layer enclosed while making these counter.

[0003]Especially in the active matrix type liquid crystal display device (LCD) designed small and with high definition, on the design, since the area of a picture element becomes small, the

capacitor capacitance formed between a picture element electrode and a counterelectrode becomes small. Therefore, the required problem of it becoming impossible to carry out time maintenance produces a video signal. In addition, the problem that change of the potential of bus wiring to the potential of a picture element electrode becomes large is also produced. Then, additional capacities are provided in order to compensate the capacity lacks of a picture element electrode and a counterelectrode.

[0004] Drawing 4 shows the top view for one picture element of the conventional active matrix substrate provided with additional capacities, and drawing 5 is a sectional view (sectional view in alignment with B-B' in drawing 4) which passes along TFT25 of the active matrix substrate. The semiconductor layer 30 which consists of polycrystalline silicon in which this active matrix substrate has the channel layers 12a and 12b, the source electrode 23, and the drain electrode 24 on the insulating substrate 11 is formed. Electrical resistance is reduced when the channel layer 12a of the semiconductor layer 30 and portions other than 12b perform doping by ion implantation. [0005] The semiconductor layer 30 is covered, the gate dielectric film 13 is formed on the substrate 11, and the gate electrodes 3a and 3b and the additional-capacities electrode 6 which consist of one of polycrystal Si of  $n^+$  or  $p^+$  are formed on this gate dielectric film 13. Above-mentioned doping is performed considering these gate electrodes 3a and 3b as a mask. The gate electrode 3a consists of a part of gate-bus-wiring 1 self, as shown in drawing 1, and the gate electrode 3b comprises a portion which branched from the gate bus wiring 1. The additional-capacities electrodes 6 are some additional-capacities common wiring 8 which carried out band-like as shown in drawing 1.

Additional capacities are formed by the opposing part of the additional-capacities common wiring 8 and the picture element electrode 4.

[0006] The gate electrodes 3a and 3b are covered, and the 1st interlayer insulation film 14 is formed the whole surface on the substrate 11. The through holes 7a and 7b are established in the 1st interlayer insulation film 14. On the through hole 7a, the metal layer 10a which branched from the source bus wiring 2 is formed. The metal layer 10b formed simultaneously independently exists in the branched metal layer 10a. The source bus wiring 2 is connected to the source electrode 23 of TFT25 via the through hole 7a. Here, the structure where TFT25 is called the dual gate which has the gate electrodes 3a and 3b is used. One contact hole 7b is filled using metal, such as aluminum, in order to perform certainly the electrical link between the drain electrode 24 of TFT25, and the metal layer 10b.

[0007] Moreover, the 2nd interlayer insulation film 17, the light-shielding film 15, the 3rd interlayer insulation film 18, and the picture element electrode 4 are formed in this order. The light-shielding film 15 and said metal layer 10b are connected via the contact hole 9b established in the 2nd interlayer insulation film 17. The light-shielding film 15 is formed with a Ti-W alloy etc. This light-shielding film 15 is also bearing the role which realizes ohmic contact between metal, such as aluminum which fills the contact hole 7b, and the picture element electrode 4 which consists of ITO(s) etc. The light-shielding film 15 and the picture element electrode 4 are connected via the contact hole 16b formed in the 3rd interlayer insulation film 18.

[0008]

[Problem to be solved by the invention] By the way, conventionally [ this ], in a substrate, after one of the gate bus wiring 1 will be in an ON state, by the source bus wiring 2 which will be in an ON state at the beginning. Since time until this gate bus wiring 1 will be in an OFF state is long

enough, the video signal with which the source bus wiring 2 is sent has a margin in the picture element electrode 4 and the additional-capacities electrode 6, and is written in them. However, in the source bus wiring 2 which will be in an ON state at the last, since time until the gate bus wiring 1 will be in an OFF state is short, there is a problem that the writing time of a video signal is restrained.

[0009] Since the additional-capacities common wiring 8 is formed by polycrystal Si of  $n^+$ , it cannot be said that resistance is small enough. Therefore, the signal with which the additional-capacities common wiring 8 is sent is delayed, and also has the problem that change is caused in the potential which it becomes impossible to have written in the video signal in the restrained above-mentioned writing time, and was written in the picture element electrode 4. This problem is explained based on drawing 6.

[0010] Drawing 6 shows the representative circuit schematic of one picture element portion. Between the counterelectrodes 34 to which the picture element electrode 33 connected to the drain electrode 32 of TFT31 and this picture element electrode 33 were countered, and counterelectrode wiring was connected, the capacity CLC is formed on both sides of a liquid crystal layer. The drain electrode 32 of TFT31 is connected to additional-capacities common wiring via additional-capacities CS. The capacity Cgd is formed between the gate electrode 35 of TFT31, and the drain electrode 32.

[0011] If the signal of gate one is sent to the gate bus wiring of TFT at this time, TFT will be in an ON state and the video signal  $V_d$  will be written in source bus wiring. Here, if the damping time constant of the signal transduction of additional-capacities common wiring is made into the signal write time  $T_{ON}$  to  $\tau_{CS}$  and a picture element electrode, when the conditions of  $\tau_{CS} \ll T_{ON}$  will not be fulfilled, charging to additional-capacities CS becomes insufficient, and the problem of changing the potential of a picture element electrode arises.

[0012] By the way, potential  $V_d'$  of the picture element electrode corresponding to the actual displaying condition after TFT will be in an OFF state and passes time long enough compared with  $\tau_{CS}$  is expressed with the one following formula.

[0013]

$$V_d' = V_d - [C_{gd} / (C_{gd} + CLC + CS) - \Delta V_g] - a \quad \text{--- (1)}$$

Here,  $\Delta V_g$  is a difference of the gate potential at the time of the ON state of TFT, and the gate potential at the time of an OFF state.  $a$  expresses change of the potential produced since additional capacities cannot be enough charged in writing time, and is shown by the two following formulas.

[0014]

$$a = V_d - \exp(-T_{on} / \tau_{CS}) - [CS / (C_{gd} + CLC + CS)] \quad \text{--- (2)}$$

The 2nd clause in the one above-mentioned formula expresses change of the potential of the picture element electrode by changing the voltage of gate bus wiring, in order to make TFT into an OFF state. In order to make the written-in video signal perform a faithful display, the 2nd clause of one formula and the value of  $a$  of two formulas must be made small. It is  $C_{gd} \ll CLC + CS$  in order to make the value of the 2nd clause of one formula small. --- (3)

\*\*\*\*\* --- things are required. In a high definition active matrix substrate, since a picture element electrode is small and CLC is small, additional-capacities CS of a certain amount of size is needed for fulfilling the conditions of three formulas.

[0015] Thus, it is  $T_{on} \ll \tau_{CS}$  in order to make the value of  $a$  small, since the size of a certain grade is required for additional-capacities CS. --- (4)

\*\*\*\*\* -- things are required. Especially in the small and high definition active matrix substrate in which the drive circuit was formed on the same substrate as a TFT array, difficulty follows on fulfilling the conditions of the four above-mentioned formula. The Reason is shown below.

[0016]\*\* The number of gate bus wiring increases and the time assigned to per gate bus wiring becomes short.

[0017]\*\* Since a video signal is simultaneously outputted to all the source bus wiring in the system which mounts a driver IC, it is satisfactory, but in adopting a panel sample hold system, Since a video signal is outputted to each source bus wiring one by one, the writing time in the source bus wiring in which writing is finally performed becomes short.

[0018]\*\* In order to prevent decline in the numerical aperture accompanying highly-minute-izing of a display device, it is necessary to narrow the line width of wiring. Therefore, resistance of additional-capacities common wiring becomes large, and  $\tau_{CS}$  cannot be made small.

[0019]\*\* Even if the number of picture elements increases, the size of the additional-capacities common electrode per 1 picture element cannot be made small. Therefore, total of the additional capacities connected to one additional-capacities common wiring becomes large, and  $\tau_{CS}$  cannot be made small.

[0020]Although impressing the voltage of a counterelectrode and same electric potential to the both ends of additional-capacities common wiring thinks as solution of such a problem, solution sufficient by just it since resistance of additional-capacities common wiring does not become small enough cannot be said.

[0021]This invention is 1]. This invention is such a problem thing.

The purpose is a thing and is providing AKUTIBUMA which signal delay can be made hard to make small resistance of wiring which sends a video signal, and to produce.

[0022]

[Means for solving problem]The active matrix substrate of this invention has the spacial configuration to which laminating formation of a picture element electrode, a light-shielding film, and the additional-capacities common wiring was carried out via the interlayer insulation film between each on the substrate, and. Along with that to which the picture element electrode was located in a line with one way of this picture element electrode at matrix form, this light-shielding film has the planar structure in which this additional-capacities common wiring was formed, respectively in parallel with this light-shielding film beltlike, and this light-shielding film This additional-capacities common wiring, It is electrically connected via the contact hole established in this interlayer insulation film, and that can attain the above-mentioned purpose.

[0023]Said light-shielding film may be formed with W, Ti, Mo, or a Ti-W alloy.

[0024]

[Function]Since a light-shielding film and additional-capacities common wiring are formed in parallel and a light-shielding film and additional-capacities common wiring are electrically connected via the contact hole established in the interlayer insulation film if it is in this invention, a light-shielding film and additional-capacities common wiring serve as circuitry by which multiple connection was carried out, and resistance becomes small.

[0025]

[Working example]The mimetic diagram of an active matrix display device is shown in drawing 3.

[0026] As for this display device, the gate drive circuit 54, the source driving circuit 55, and the

TFT array part 53 are formed on the insulator layer boards 11, such as glass. The gate bus wiring 1 as a scanning line to which a large number prolonged from the gate drive circuit 54 are parallel is arranged on the TFT array part 53. From the source driving circuit 55, the gate bus wiring 1 and the source bus wiring 2 of a large number as a signal wire cross at right angles, and is allocated. The additional-capacities common wiring 8 is allocated in parallel with the source bus wiring 2.

[0027]It is between the two gate bus wiring 1, and 25 picture element TFT57 and the additional capacities 27 are formed in the field of the rectangle inserted with the source bus wiring 2 and the additional-capacities common wiring 8. The gate electrode of TFT25 is connected to the gate bus wiring 1, and the source electrode is connected to the source bus wiring 2. A liquid crystal is enclosed between the picture element electrode connected to the drain electrode of TFT25, and the counterelectrode on a counter substrate, and the picture element 57 is constituted. The additional-capacities common wiring 8 is connected to the electrode of the same potential as a counterelectrode.

[0028]Drawing 1 shows the top view for one picture element in the active matrix substrate of this example. Drawing 2 is a sectional view in alignment with A-A' in drawing 1. The composition of this active matrix substrate is explained according to a manufacturing process.

[0029]First, on the insulating substrate 11, after carrying out pattern formation of the semiconductor layer 30 which consists of polycrystal Si, for example with a CVD method, the insulator layer which turns into the gate dielectric film 13 the whole surface on the substrate 11 was formed. This insulator layer is formed by the system which oxidizes thermally the upper surface of a CVD method, sputtering process, or above-mentioned polycrystal Si thin film 30, for example. The thickness of the gate dielectric film 13 is about 100 nm, for example. The thickness of the semiconductor layer 30 is 40~80 nm, for example.

[0030]Next, it patterned, after adhering polycrystal Si of low resistance, and the gate bus wiring 1, the gate electrodes 3a and 3b, and the additional-capacities common wiring 8 were formed. The additional-capacities common wiring 8 contains the additional-capacities electrode 6 which is the portion which carried out formed protruding like drawing 1. Subsequently, an ion implantation is performed into portions other than the lower part of the gate electrode of the semiconductor layer 30 using the mask which used the above-mentioned gate electrodes 3a and 3b as the mask, and was formed by the photolithographic method. Thereby, the channel layers 12a and 12b are formed in the semiconductor layer 30.

[0031]Then, the 1st interlayer insulation film 14 was formed in a thickness of 700 nm the whole surface on this substrate, for example. Next, the contact holes 7a and 7b and the contact hole 7c were formed in the prescribed spot of the 1st interlayer insulation film 14. Each contact holes 7a, 7b, and 7c are allocated on the source electrode 23, the drain electrode 24, and the additional-capacities common wiring 8, respectively.

[0032]Next, the source bus wiring 2, the metal layers 10a, 10b, and 10c, etc. were simultaneously formed using the metal of low resistance, such as aluminum. At this time, the metal layers 10a, 10b, and 10c are formed so that the contact holes 7a, 7b, and 7c may be filled, respectively, and they are connected with the source electrode 23, the drain electrode 24, and the additional-capacities common wiring 8. The thickness of the metal layers 10a, 10b, and 10c which are sticking out on the 1st interlayer insulation film 14 is 600 nm, for example. The metal layer 10a is the portion branched from the source bus wiring 2, and the source bus wiring 2 is connected to the source electrode 23 via the metal layer 10a and the contact hole 7a.

[0033]Next, the 2nd interlayer insulation film 17 was formed in a thickness of 600 nm, for example

with the CVD method the whole surface on this substrate. Next, the contact holes 9b and 9c were formed in the 2nd interlayer insulation film 17. It is for the contact hole 9b connecting a drain electrode, and the contact hole 9c is for electrically connecting the additional-capacities common wiring 8 with the light-shielding film 15.

[0034]Next, pattern formation of the light-shielding film 15 was carried out so that the contact holes 9b and 9c besides the upper part of TFT25 might be filled. Metal, such as a Ti-W alloy, was used for the material of the light-shielding film 15, for example, and thickness was 120–150 nm. Although, as for the surroundings of the contact hole 9b, the light-shielding film 15 does not exist, since the metal layer 10b is formed in this portion, light does not necessarily leak from a portion without the light-shielding film 15. Metal other than an above-mentioned Ti-W alloy, such as W, Ti, and Mo, can be used for the light-shielding film 15. The light-shielding film 15 on the contact hole 9b is for taking the ohmic contact of the drain electrode 24 and the picture element electrode 4 mentioned later.

[0035]Then, 200 nm of the 3rd interlayer insulation film 18 was formed, the contact hole 16b was opened and the picture element electrode 4 was formed.

[0036]Therefore, in the active matrix substrate of this example constituted in this way, Since the light-shielding film 15 and the additional-capacities common wiring 8 are formed in parallel and the light-shielding film 15 and the additional-capacities common wiring 8 are electrically connected to the 1st and 2nd interlayer insulation film 14 and 17 via the contact holes 7c and 9c provided, respectively, The light-shielding film 15 and the additional-capacities common wiring 8 serve as circuitry by which multiple connection was carried out, and resistance becomes small and can control generating of signal delay.

[0037]Since the additional-capacities common wiring 8 and the light-shielding film 15 have two-layer structure, the open circuit produced when the line width of the additional-capacities common wiring 8 is made thin, in order to raise a numerical aperture can be prevented.

[0038]

[Effect of the Invention]As explained in full detail above, a light-shielding film and additional-capacities common wiring serve as circuitry by which multiple connection was carried out, resistance becomes small, and the active matrix substrate of this invention can control generating of signal delay. Since additional-capacities common wiring and a light-shielding film have two-layer structure, the high definition display device which has small nothing profit and a bright screen where a numerical aperture is large by this for the line width of additional-capacities common wiring where an open circuit is prevented can be provided.

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The top view showing one picture element in the active matrix substrate of this example.

[Drawing 2]The sectional view in alignment with A-A' of drawing 1.

[Drawing 3]The mimetic diagram of the active matrix display device provided with the active matrix substrate of drawing 1.

[Drawing 4]The top view for one picture element in the conventional active matrix substrate.

[Drawing 5]The sectional view in alignment with B-B' of drawing 4.

[Drawing 6]The representative circuit schematic of a picture element portion.

[Explanations of letters or numerals]

- 1 Gate bus wiring
- 2 Source bus wiring
- 3a, 3b gate electrode
- 4 Picture element electrode
- 6 Additional-capacities electrode
- 7a, 7b, and 7c Contact hole
- 8 Additional-capacities common electrode
- 9b and 9c Contact hole
- 10a, 10b, and 10c Metal layer
- 11 Insulating substrate
- 12a, 12b channel layer
- 13 Gate dielectric film
- 14 The 1st interlayer insulation film
- 15 Light-shielding film
- 16b Contact hole
- 17 The 2nd interlayer insulation film
- 18 The 3rd interlayer insulation film
- 23 Source electrode
- 24 Drain electrode
- 25 TFT
- 30 Semiconductor layer